

# DISPLAY DEVICE

**Publication number:** JP8305322 (A)

**Publication date:** 1996-11-22

**Inventor(s):** SASAKI OSAMU; YONEDA YUTAKA; MATSUURA MANABU +

**Applicant(s):** SHARP KK +

**Classification:**

- **International:** G02F1/133; G09G3/36; H04N5/66; G02F1/13; G09G3/36; H04N5/66; (IPC1-7): G02F1/133; G09G3/36; H04N5/66

- **European:**

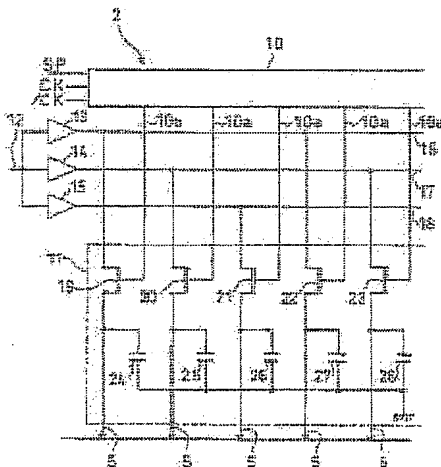
**Application number:** JP19950112129 19950510

**Priority number(s):** JP19950112129 19950510

## Abstract of JP 8305322 (A)

**PURPOSE:** To reduce deformation or noises in data signal and to realize a high resolution display by supplying a same data signal in multiple data signal lines and also connecting each line with different sampling circuits through different buffer circuits.

**CONSTITUTION:** Data signal from a data signal line 12 is supplied to a sample holding circuits 11 from the data signal lines 16-18 connected through buffer circuits 13-15, and the data signal is sampled in accordance with the sampling pulses from a source shift register 10. Namely, a same data signal is branched into three, which are individually sampled. Sampling switches 19-23 are provided so that sampling switches connected with a same data signal line, for example, the sampling switches 19 and 22 connected with the data signal line 16, are not simultaneously turned ON. This means that the individual sampling switches 19-23 are loose in electric coupling with each other.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-305322

(43)公開日 平成8年(1996)11月22日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
	5 5 0			5 5 0
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 B

審査請求 未請求 請求項の数 6 O L (全 19 頁)

(21)出願番号 特願平7-112129

(22)出願日 平成7年(1995)5月10日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 佐々木 修

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 米田 裕

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 松浦 学

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

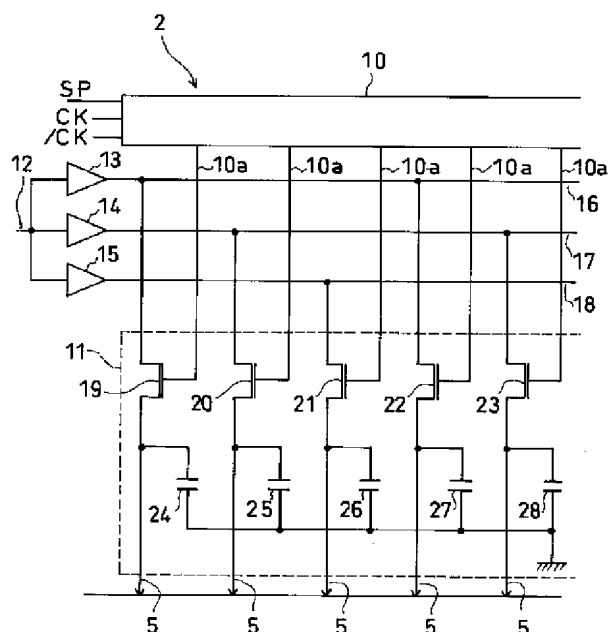
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 表示装置

(57)【要約】

【構成】 データ信号線12からの同一のデータ信号が、バッファ回路13～15を介して3本のデータ信号線16～18に供給された後、サンプルホールド回路11のサンプリングスイッチ19～23に供給される。サンプルホールド回路11にてサンプリングされたデータ信号は、ソースバスライン5…に供給される。

【効果】 なまりやノイズの少ないデータ信号を正確にサンプリングすることができるので、水平解像度の低下および表示品位の低下を抑えた高解像度の表示が可能となる。



**【特許請求の範囲】**

【請求項1】データ信号がそれぞれ供給される複数のデータ信号線と、

上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、  
上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、

上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、  
上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、

上記複数のデータ信号線の少なくとも2本は、同一データ信号が供給されると共に、それぞれが異なるバッファ回路を介して異なるサンプリング回路に接続されていることを特徴とする表示装置。

【請求項2】上記複数のサンプリング回路のうち、サンプリングのタイミングが同期するサンプリング回路は、それぞれ異なるデータ信号線に接続されると共に、それぞれのサンプリング回路のON期間が時間的に重なりを持たないことを特徴とする請求項1記載の表示装置。

【請求項3】上記バッファ回路は、上記サンプリング回路と同一の基板上に形成されていることを特徴とする請求項1または2記載の表示装置。

【請求項4】データ信号がそれぞれ供給される複数のデータ信号線と、

上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、  
上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、

上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、  
上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、

上記データ信号線は、表示の水平方向で複数の分断されると共に、分断された各々の信号線は、それぞれ異なるバッファ回路を介してサンプリング回路に接続されていることを特徴とする表示装置。

【請求項5】データ信号がそれぞれ供給される複数のデータ信号線と、

上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、  
上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、

上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、  
上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、

上記複数の絵素部のうち、列方向に隣接する複数の絵素部には、それぞれ異なるデータバスラインが接続されると共に、これらデータバスラインには、バッファ回路を

介して同一のサンプリング回路が接続されていることを特徴とする表示装置。

【請求項6】上記駆動回路と、上記複数の絵素部からなる画像表示部とが同一基板上にモノリシックに形成されていることを特徴とする請求項1、2、3、4または5記載の表示装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、液晶表示装置等の表示装置に関するものである。

**【0002】**

【従来の技術】従来より、表示装置として、例えば液晶表示装置（以下、LCDと称する）は、図12に示すように、複数の絵素部104…を有する表示部101と、各絵素部104を駆動する駆動回路としてのソースドライバ102およびゲートドライバ103とで構成されている。

【0003】上記各絵素部104…は、ソースドライバ102に接続された複数のソースバスライン105…とゲートドライバ103に接続された複数のゲートバスライン106…との直交する部分にそれぞれ配置されている。よって、各絵素部104…の配置は、表示部101上でマトリクス状となる。

【0004】また、絵素部104は、TFT(Thin film transistor)からなる絵素トランジスタ107と、絵素容量108と、付加容量109とで構成され、絵素トランジスタ107のゲート端子はゲートバスライン106に、ソース端子はソースバスライン105に、ドレイン端子は絵素容量108および付加容量109に接続されている。

【0005】ソースドライバ102は、シフトレジスタ110と、トランジスタからなるサンプリングスイッチ111、サンプリングコンデンサ112、データ信号線113等で構成され、上記サンプリングスイッチ111、サンプリングコンデンサ112、データ信号線113およびソースバスライン105からサンプルホールド回路114を形成している。

【0006】上記シフトレジスタ110には、スタートパルス（SP）、駆動クロック（CK、／CK）が入力され、入力されたSPは、CK、／CKに応じて順次シフトしてサンプルホールド回路114に出力される。

【0007】ゲートドライバ103は、シフトレジスタ115を有し、各ゲートバスライン106…に走査信号を順次出力するようになっている。

【0008】尚、上記表示部101、ソースドライバ102およびゲートドライバ103は、同一基板上にモノリシックに形成されている場合と、表示部101のみが絶縁基板上に形成されている場合とがある。

【0009】ここで、上記構成の表示装置の動作について以下に説明する。まず、ソースドライバ102のシフ

トレジスタ110に入力されたSPは、CK、 $\neg$ CKにより順次シフトしてサンプルホールド回路114に出力され、サンプルホールド回路114でのサンプリングパルスとなる。そして、入力されたサンプリングパルスによってサンプリングスイッチ111がON状態となり、このサンプリングパルスが入力された時点でのデータ信号線113のデータ信号がサンプリングされる。

【0010】そして、サンプリングパルスによりサンプリングされたデータ信号は、サンプリングコンデンサ112にホールドされソースバスライン信号としてソースバスライン105に出力される。

【0011】一方、ゲートドライバ103のシフトレジスタ115における各桁の出力は、走査信号（ゲートバスライン信号）として順次ゲートバスライン106…に出力され、選択されたゲートバスライン106に繋がる絵素トランジスタ107をONし、その時点でのソースバスライン信号を画像データとして絵素容量108および付加容量109に順次書き込んでいく。

【0012】そして、各絵素部104に対応した液晶を駆動させることにより所望する表示を行うようになっている。

【0013】したがって、上記構成のLCDでは、上述したように、ソースドライバ102は、表示部101側で画像データを保持するパネルサンプルホールド方式となっている。このようなソースドライバ102を有するLCDにおいては、水平走査方向の絵素部104が多くなるとシフトレジスタ110の最下位桁に繋がる絵素部104と最上位桁とに繋がる絵素部104とでは、画像データの書込時間が異なる。このため、シフトレジスタ110の上位桁に繋がる絵素部104では画像データの書込時間を長くすることができるが、下位桁に繋がる絵素部104では画像データの書込時間が十分にとれなくなるという問題が生じる。

【0014】そこで、上記の問題を解決するために、ソースドライバ側で画像データを保持するドライバサンプルホールド方式のソースドライバを使用したLCDが提案されている。

【0015】以下に、上記ドライバサンプルホールド方式のソースドライバを使用したLCDについて説明する。尚、このLCDでは、ソースドライバ以外は図12に示すLCDと同様の表示部101およびゲートドライバ103を有するものとし、ここでの説明は、ドライバサンプルホールド方式のソースドライバについてのみ行う。

【0016】上記ドライバサンプルホールド方式のソースドライバは、図12に示すソースドライバ102のサンプルホールド回路114の出力側に、図13に示すように、トランスファースイッチ116、ホールドコンデンサ117、バッファ回路118、トランスファー信号線119からなるトランスファー回路120が接続され

た構成となっている。

【0017】即ち、サンプルホールド回路114にて1走査線分のデータがサンプリングされた時点で、トランスファー回路120にてトランスファー信号線119からトランスファー信号が出力され、トランスファースイッチ116がON状態となり、サンプルホールド回路114のサンプリングコンデンサ112に保持されたデータが一斉にホールドコンデンサ117に転送された後、次の走査期間のサンプリングが行われる。

【0018】つまり、次の1走査線分のデータをサンプリングしている期間、ホールドコンデンサ117に保持された前回の1走査線分のサンプリングデータがソースバスライン信号として、バッファ回路118を介してソースバスライン105（図12）に印加され続ける。

【0019】このように、ドライバサンプルホールド方式のソースドライバを使用することで、水平走査方向の絵素部104の数が多くなっても、それぞれの絵素部104…への画像データの書込時間が十分にとれる。これによって、シフトレジスタ110の最下位桁に繋がる絵素部104と最上位桁に繋がる絵素部104との間において、画像データの書込時間をほぼ同じにすることができる。

【0020】さらに、上記LCDが絶縁基板上にドライバモノリシックで形成されている場合、p-SiTFTを用いて形成されるシフトレジスタを安定して動作させる速度は数MHz程度であり、高速動作が要求される水平方向の絵素数が多いLCDのソースドライバ内のシフトレジスタでは、シフトレジスタの動作速度が不足するといった不具合が生じる。

【0021】そこで、シフトレジスタの動作速度を低減するために、例えば図14に示すように、複数系統、この場合4系統のシフトレジスタ131～134を設けて、それぞれのシフトレジスタ131～134には、位相の異なるCK1～CK4、 $\neg$ CK1～ $\neg$ CK4で動作させることにより、全体のシフト速度はそのまま、各段のシフトレジスタ131～134を低速で動作させるソースドライバが提案されている。

【0022】上記4系統のシフトレジスタ131～134を有するソースドライバでは、図15に示すように、スタートパルスSPをCK1～CK4、 $\neg$ CK1～ $\neg$ CK4によって順次シフトし、サンプリングパルスSMP1～SMP8を出力するようになっている。尚、4系統のシフトレジスタ131～134の出力であるSMP1～SMP8の幅は、シフトレジスタが1系統の時の4倍となっているが、各SMP1～SMP8の位相のずれはシフトレジスタが1系統の時と同じである。

【0023】

【発明が解決しようとする課題】ところが、上記4系統のシフトレジスタ131～134を有するソースドライバでは、図15に示すように、各サンプリングパルスS

MP1～SMP8が互いにオーバーラップする形となる。このため、ある瞬間をみた場合、常に8個のサンプリングトランジスタ111…がONとなっている。つまり、データ信号線113、或いはデータ信号出力回路に対しては、サンプリングトランジスタ111…を介して8個のサンプリングコンデンサ112…の容量がその負荷となる。さらに、データ信号線113には配線抵抗が、また、サンプリングトランジスタ111にはON抵抗が存在するため、各サンプリングコンデンサ112でのデータ信号はRC積分回路の時定数の作用で応答が悪化し、元のデータ信号と比べて波形のなまったものとなる。

【0024】このようになまった波形をもとになされるデータ信号のサンプリングでは、元々データ信号が有する帯域情報が失われているので、水平解像度の低い表示となる。さらに、走査信号においても（図示しない）、構成によってはゲートシフトレジスタの隣接する2つの出力がオーバーラップしており絵素部分についても上記したソースドライバのサンプリング部と同様の不具合を生じる。

【0025】このような不具合を防ぐために、各シフトレジスタ131～134毎に、映像信号線を配設した表示装置が提案されている。この場合、例えば、図15に示すサンプリングパルスのN番目（SMP1）の立ち下がり、N+8番目（SMP9）の立ち上がりとが同一のタイミングとなっているが、実際には信号波形のなまりや遅延により、N番目のサンプリングトランジスタ111が完全にOFFとなる前にN+8番目のサンプリングトランジスタ111が同時にONする現象が生じる。

【0026】このような現象が生じると、上述のように、映像信号線を複数に分けたとしても、ソースドライバのN番目のサンプルホールド回路114のサンプリングデータはN+4のサンプリング信号のみならず、N+8番目のサンプリングデータによっても影響を受けることになり、ゴースト現象或いはノイズとして表示に悪影響を与えることになる。

【0027】さらに、上述の現象は、表示部でも同様に起こり得る。このため、例えば、本件出願人は、特願平5-300537号において、同一の映像信号線を駆動回路の外部で複数に分岐した表示装置を提案している。このように、同一の映像信号線を駆動回路の外部で複数に分岐することで、一本の映像信号線に接続されたサンプリング回路が同時に複数個ONとなることがなく、これによって、各映像信号線中の信号のなまりを小さくし、表示装置の解像度を向上させている。

【0028】ところで、同一の映像信号線を単に複数に分割しても、パネルと同一基板上で複数に分割している場合には、フレキシブル基板等との接触抵抗、配線抵抗、更には映像信号供給源の出力インピーダンスにより、時定数を大きくはできるが、ゴーストの発生を完全

に抑えることはできない。また、パネル外部で同一の映像信号線を単に複数に分割しても、上記したフレキシブル基板等との接触抵抗、配線抵抗、更には映像信号供給源の出力インピーダンスにより、時定数を大きくはできるが、ゴーストの発生を完全に抑えることはできない。

【0029】また、ソースドライバを構成する同一のデータ信号線に繋がるサンプリング回路についてみると、サンプリングトランジスタにはOFF抵抗が存在するが、サンプリングトランジスタのOFF抵抗が十分に大きくないと、サンプリングコンデンサに書き込まれているサンプリングデータがトランジスタのOFF抵抗、データ信号線を通してお互いにクロストークするという不具合が生じる。

【0030】本発明は、上記の各問題点に鑑みなされたものであって、その目的は、隣接するトランジスタが同時にONすることによる、データ信号のなまりや、データ信号のノイズを低減させると共に、トランジスタのOFF特性の不足および低下によるクロストークを低減し、ゴースト現象を防止すると共に、水平解像度の低下やクロストークによる表示品位の低下を抑えた高解像度の表示を実現し得る表示装置を提供することにある。

【0031】

【課題を解決するための手段】請求項1の表示装置は、データ信号がそれぞれ供給される複数のデータ信号線と、上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、上記複数のデータ信号線の少なくとも2本は、同一データ信号が供給されると共に、それぞれが異なるバッファ回路を介して異なるサンプリング回路に接続されていることを特徴としている。

【0032】請求項2の表示装置は、請求項1記載の表示装置において、複数のサンプリング回路のうち、サンプリングのタイミングが同期するサンプリング回路は、それぞれ異なるデータ信号線に接続されると共に、それぞれのサンプリング回路のON期間が時間的に重なりを持たないことを特徴としている。

【0033】請求項3の表示装置は、請求項1または2記載の表示装置において、バッファ回路は、サンプリング回路と同一の基板上に形成されていることを特徴としている。

【0034】請求項4の表示装置は、データ信号がそれぞれ供給される複数のデータ信号線と、上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、上記複数のサンプリング回路にそれぞれ接続される複数のデータバスライ

ンと、上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、上記データ信号線は、表示の水平方向で複数の分断されると共に、分断された各々の信号線は、それぞれ異なるバッファ回路を介してサンプリング回路に接続されていることを特徴としている。

【0035】請求項5の表示装置は、データ信号がそれぞれ供給される複数のデータ信号線と、上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、上記複数の絵素部のうち、列方向に隣接する複数の絵素部には、それぞれ異なるデータバスラインが接続されると共に、これらデータバスラインには、バッファ回路を介して同一のサンプリング回路が接続されていることを特徴としている。

【0036】請求項6の表示装置は、請求項1、2、3、4または5記載の表示装置において、駆動回路と、複数の絵素部からなる画像表示部とが同一基板上にモノリシックに形成されていることを特徴としている。

【0037】

【作用】請求項1の構成によれば、複数のデータ信号線の少なくとも2本は、同一データ信号が供給されると共に、それぞれが異なるバッファ回路を介して異なるサンプリング回路に接続されていることで、同一データ信号が供給される隣接するサンプリング回路の電気的な繋がり疎にすることができる。

【0038】これにより、同一データ信号が供給される隣接するサンプリング回路が同時にON状態となっても、このときに発生するノイズによって、同一データ信号が供給される他の隣接するサンプリング回路に影響を与えないようになる。即ち、上記ノイズによって誤ったデータ信号がサンプリングされないようになる。

【0039】また、隣接するサンプリング回路が同一データ信号線に接続されていないことから、一本のデータ信号線の負荷を低減することができるので、データ信号のなまりを低減することができる。

【0040】したがって、隣接するサンプリング回路では、データ信号のなまりによる誤サンプリングが無く、且つ互いにON・OFF時の影響を受ず、常に正確なデータ信号をサンプリングし、サンプリングしたデータ信号をデータバスラインに供給することができるので、絵素部でのサンプリング回路のON・OFF特性の不良によるクロストークを低減させることができる。よって、クロストークによる表示品位の低下を抑えた高解像度の表示を可能としている。

【0041】請求項2の構成によれば、サンプリングのタイミングが同期するサンプリング回路が、それぞれ異なるデータ信号線に接続されると共に、それぞれのサンプリング回路のON期間が重ならないことで、一つのサンプリング回路がOFF状態となる瞬間に他のサンプリング回路がON状態となることにより生じるノイズの低減を図ることができる。

【0042】請求項3の構成によれば、サンプリング回路に接続されたバッファ回路が、サンプリング回路と同一の基板上に形成されていることで、バッファ回路とサンプリング回路とを接続するフレキシブル基板等の接触抵抗、配線抵抗等によるデータ信号の劣化を抑制することができる。また、バッファ回路とサンプリング回路とを接続するための接続端子の増加を抑制でき、実装に伴う信頼性を向上させることができる。

【0043】請求項4の構成によれば、データ信号線は、表示の水平方向で複数の分断されると共に、分断された各々の信号線は、それぞれ異なるバッファ回路を介してサンプリング回路に接続されていることで、データ信号線に対する負荷を低減することができる。これにより、データ信号線の抵抗および容量を低減することができるので、よりデータ信号線におけるデータ信号の劣化を低減させ、サンプリング時のノイズの低減を図ることができる。

【0044】請求項5の構成によれば、複数の絵素部のうち、列方向に隣接する複数の絵素部には、それぞれ異なるデータバスラインが接続されると共に、これらデータバスラインには、バッファ回路を介して同一のサンプリング回路が接続されていることで、列方向に隣接する絵素部の干渉を抑えることができる。これにより、絵素部同士のクロストークを低減することができるので、表示品位を向上させることができる。

【0045】請求項6の構成によれば、駆動回路と、複数の絵素部からなる画像表示部とが同一基板上にモノリシックに形成されていることで、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減等を図ることができる。

【0046】

【実施例】

〔実施例1〕本発明の一実施例について図1ないし図3に基づいて説明すれば、以下の通りである。尚、本実施例では、表示装置として液晶表示装置（以下、LCDと称する）について説明し、後述する他の実施例においても同様とする。

【0047】本実施例に係るLCDは、図2に示すように、マトリクス状に配された複数の絵素部4…を有する表示部1と、各絵素部4…を駆動する駆動回路としてのソースドライバ2およびゲートドライバ3とから構成されている。

【0048】表示部1には、ソースドライバ2に接続さ

れた複数のソースバスライン5…と、ゲートドライバ3に接続された複数のゲートバスライン6…とが直交するように配置されており、ソースバスライン5とゲートバスライン6との交差部に絵素部4が配置されている。即ち、表示部1は、ソースドライバ2からの映像信号等のデータ信号とゲートドライバ3からの走査信号とによって絵素部4を駆動させ、図示しない液晶層の液晶の配向状態を変化させて所望する画像を表示するようになっていく。

【0049】上記絵素部4は、TFT(Thin film transistor)からなる絵素トランジスタ7と、絵素容量8と、付加容量9とで構成され、絵素トランジスタ7のゲート端子はゲートバスライン6に、ソース端子はソースバスライン5に、ドレイン端子は絵素容量8および付加容量9に接続されている。即ち、絵素トランジスタ7は、走査信号によってONされると、絵素容量8および付加容量9にソースバスライン5からのソースバスライン信号(映像信号)が書き込まれるようになっている。

【0050】ソースドライバ2には、ソースシフトレジスタ10と、ソースシフトレジスタ10からのサンプリングパルスによってデータ信号線12からのデータ信号をサンプリングするサンプルホールド回路11とが設けられている。尚、上記データ信号線12は、ソースドライバ2内で3つに分岐され、バッファ回路13～15を介して3つのデータ信号線16～18に接続されている。尚、本実施例では、上記バッファ回路13～15をソースドライバ2内に設けたが、これに限定されるものでなく、外部に設けても良い。即ち、データ信号線12をソースドライバ2内で分岐するのではなく、ソースドライバ2の外部で分岐しても良い。

【0051】上記ソースシフトレジスタ10には、スタートパルス(SP)、駆動クロック(CK、 $\neg$ CK)が入力され、入力されたSPは、CK、 $\neg$ CKに応じて順次シフトし、サンプリングパルスとしてサンプルホールド回路11に出力される。

【0052】サンプルホールド回路11には、図1に示すように、データ信号線12からのデータ信号がバッファ回路13～15を介して接続された3つのデータ信号線16～18から供給され、上記ソースシフトレジスタ10からのサンプリングパルスに応じて上記データ信号をサンプリングするようになっている。即ち、同一データ信号が3つに分岐され、それぞれの信号が別々にサンプリングされる。

【0053】上記サンプルホールド回路11は、ソースシフトレジスタ10のサンプリングパルスに応じてデータ信号を順次サンプリングするTFTからなるサンプリングスイッチ19～23と、サンプリングしたデータを保持するホールドコンデンサ24～28とを有している。尚、一つのサンプリングスイッチと、それに接続された一つのサンプリングコンデンサとで一つのサンプリ

ング回路を構成している。

【0054】上記サンプリングスイッチ19～23のゲート端子には、上記ソースシフトレジスタ10からの出力線10a…がそれぞれ接続され、ソース端子には、一本のデータ信号線12から分岐されたデータ信号線16～18がそれぞれ接続されている。つまり、サンプリングスイッチ19のソース端子には、データ信号線16が接続され、サンプリングスイッチ20のソース端子には、データ信号線17が接続され、サンプリングスイッチ21のソース端子には、データ信号線18が接続され、再びサンプリングスイッチ19のソース端子には、データ信号線16が接続され、以下、順番にデータ信号線16～18が繰り返して接続される。

【0055】以上のように、上記サンプリングスイッチ19～23は、同一のデータ信号線に繋がるサンプリングスイッチ、例えばデータ信号線16に繋がるサンプリングスイッチ19とサンプリングスイッチ22とが同時にON状態とならないように接続されている。つまり、各サンプリングスイッチ19～23は、互いに電氣的な繋がりが疎になっている。

【0056】ここで、上記構成のLCDの動作について、図3の動作タイミングチャートを参照しながら以下に説明する。

【0057】まず、1走査期間について、ソースドライバ2のソースシフトレジスタ10に入力されたSPは、CK、 $\neg$ CKにより順次シフトしてサンプルホールド回路11に出力され、サンプルホールド回路11でのサンプリングパルスとなる。そして、入力されたサンプリングパルスによって各サンプリングスイッチ19～23がON状態となり、このサンプリングパルスが入力された時点でのデータ信号線16～18のデータ信号がサンプリングされる。

【0058】そして、サンプリングパルスによりサンプリングされた各データ信号は、各ホールドコンデンサ24～28で保持されソースバスライン信号としてソースバスライン5…に出力される。

【0059】一方、ゲートドライバ3における各行の出力は、走査信号(ゲートバスライン信号)として順次ゲートバスライン6…に出力され、選択されたゲートバスライン6に繋がる絵素トランジスタ7をONし、その時点で、1走査期間の上記ソースバスライン5からのソースバスライン信号を画像データとして絵素容量8および付加容量9に順次書き込んでいく。

【0060】そして、各絵素部4に対応した液晶を駆動させることにより所望する表示を行う。

【0061】次の走査期間では、電圧極性を反転させたソースバスライン信号を画像データとして絵素容量8および付加容量9に書き込む。このようにして、走査期間が切り替わる毎に、ソースバスライン信号の電圧極性を反転させて画像データとして絵素容量8および付加容量

9に書き込んでいき、その都度、各絵素部4に対応した液晶を駆動させることにより所望する表示を行う。

【0062】したがって、上記ソースドライバ2は、図3に示すように、SPが入力されると、CK、 $\neg$ CKの入力タイミングによって、1/2だけ位相がずれるようにしてサンプリングパルスSMP1～SMP5を出力するようになっている。これにより、各サンプリングパルスSMP1～SMP5は、時間的な重なりを有するので、隣接する2つのサンプリングスイッチが常にON状態となっている。

【0063】ところが、本実施例では、上記サンプリングスイッチ19～23は、互いに電氣的な繋がりが疎になっている。即ち隣接する2つのサンプリングスイッチが同一データ信号線に接続されていないので、一本のデータ信号線の負荷を、サンプリングコンデンサ2つ分から1つ分に低減することができる。この結果、データ信号線の負荷によるデータ信号のなまりを低減することができる。

【0064】さらに、各サンプリングパルスは1/2ずつ位相がずれているので、図3に示すように、サンプリングパルスSMP1の立ち下がり、サンプリングパルスSMP3の立ち上がりとは時間的に重なりがないようになっている。実際には、サンプリングパルスのなまりや遅延によって、サンプリングトランジスタ19とサンプリングトランジスタ21とが同時にON状態となる時間が生じている。

【0065】この場合、サンプリングトランジスタ19とサンプリングトランジスタ21とが同一のデータ信号線に接続されていれば、サンプリングトランジスタ19がOFFとなる時に、サンプリングトランジスタ21がONとなる時に生じるノイズの影響を受けて誤ったデータ信号がサンプリングされることになる。

【0066】しかしながら、本実施例では、図1に示すように、サンプリングトランジスタ19とサンプリングトランジスタ21とが、それぞれ異なるデータ信号線に接続されているので、上記したようなサンプリングパルスのなまりや遅延により生じるノイズの影響を受けずに、正確なデータ信号をサンプリングすることが可能となる。

【0067】このように、隣接するサンプリングトランジスタ同士において、互いにON・OFF時の影響を受ず、常に正確なデータ信号をソースバスライン信号としてソースバスライン5に供給することができるので、ゴースト現象を低減できる。

【0068】よって、本実施例のLCDは、データ信号のなまりやノイズが原因のゴースト現象による表示品位の低下を抑えた高解像度の表示を可能としている。

【0069】尚、本実施例では、ソースドライバ2における各サンプリングスイッチ19～23ができるだけ電氣的な繋がりが疎になるように、データ信号線12を3

つに分岐した後、バッファ回路13～15を介してデータ信号線16～18から、データ信号を各サンプリングスイッチ19～23に供給している。

【0070】しかしながら、上記したバッファ回路13～15を介することに限定されず、例えばバッファ回路13～15を設けずにデータ信号線12を3つに分岐した後、データ信号を直接各サンプリングスイッチ19～23に供給しても良い。この場合、バッファ回路13～15を介した場合よりも、各サンプリングスイッチ19～23は電氣的に疎になり難いので、その効果は半減する。

【0071】また、本実施例では、ソースドライバ2におけるサンプリング方式は、表示部1側でデータ信号としての画像データを保持するパネルサンプルホールド方式となっているがソースドライバ側で画像データを保持するドライバサンプルホールド方式のソースドライバにおいても同様に適用でき、同様の効果を得ることができる。この場合、ドライバサンプルホールド方式のソースドライバを使用することで、ソースドライバに繋がる絵素部では画像データの書込時間を十分にとることができる。

【0072】〔実施例2〕本発明の他の実施例について図4に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記実施例1と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。以下の各実施例についても同様とする。また、本実施例では、上記実施例1のソースドライバ2に適用した構成をLCDの表示部1に適用した場合について説明する。

【0073】本実施例に係るLCDは、上記実施例1のソースドライバ2に接続されたソースバスライン5…が、図4に示すように、表示部1の手前で、3つに分岐し、3つのバッファ回路31～33を介してそれぞれソースバスライン34～36に接続されている。図4において、左右方向を行方向、上下方向を列方向とする。

【0074】上記ソースバスライン34～36には、列方向に配置された絵素トランジスタ7のソース端子が、列方向に隣接する絵素トランジスタ7同士が同一のソースバスラインに繋がらなように接続されている。

【0075】尚、本実施例におけるLCDの動作は、表示部1に供給されるソースバスライン信号が3つに分岐されて供給される他は、上記実施例1のLCDと同様である。

【0076】上記の構成において、列方向に隣接した絵素トランジスタ7同士は、互いに別のソースバスラインに接続されているので、絵素トランジスタ7がON・OFFしても、互いに影響を及ぼし合わない。これによって、隣接する絵素部4…は、互いに隣接する絵素トランジスタ7がON・OFFするときに生じるノイズの影響を受けないので、ゴースト現象の無い高解像度の画像を得ることができる。



【0077】また、上記ソースドライバ2を、上記実施例1の図1に示すように構成しても良い。この場合、なまりや遅延の無いデータ信号を表示部1に供給でき、しかも、表示部1において、データ信号をなまりや遅延なく書き込めるので、さらに表示品位の向上したLCDを提供することができる。

【0078】〔実施例3〕本発明のさらに他の実施例について図5および図6に基づいて説明すれば、以下の通りである。

【0079】本実施例の表示装置は、前記実施例1の図1に示すソースドライバ2に代えて、図5に示すように、ソースドライバ41を備えている。

【0080】ソースドライバ41は、図5に示すように、4系統のシフトレジスタ42～45と、このシフトレジスタ42～45からの出力に基づいて論理積を得るためのAND回路46～50と、AND回路46～50からのサンプリングパルスが供給されるサンプルホールド回路11とから構成されている。

【0081】上記AND回路46～50は、それぞれ一つ後の桁のシフトレジスタからの出力を反転するインバータ46a～50aが接続されており、各シフトレジスタ42～45の出力と、一つ後の桁の出力の反転信号との論理積を得て、得られた論理積をサンプリングパルスとしてサンプルホールド回路11に供給するようになっている。

【0082】サンプルホールド回路11には、サンプリングパルスの他に、データ信号線51からの映像信号等のデータ信号が供給されるようになっている。

【0083】上記データ信号線51は、表示部1内部あるいはソースドライバ41外部にて2つに分岐された後、バッファ回路52・53を介してデータ信号線54・55に接続されている。データ信号線54は、サンプリングスイッチ19・21・23の各ソース端子に接続され、また、データ信号線54は、サンプリングスイッチ20・22の各ソース端子に接続されている。これにより、サンプリングスイッチ19～23は、交互にデータ信号線54・55に接続され、互いに電氣的な繋がりが疎となっている。

【0084】ここで、上記構成のソースドライバ41の動作について以下に説明する。上記の4系統のシフトレジスタ42～45には、図6に示すように、SP、それぞれ位相の異なるCK、 $\neg$ CKが入力される。このとき、各シフトレジスタ42～45の出力信号SR1～SR9は、位相が1/8ずつずれてシフトするようなパルスとなっている。

【0085】上記シフトレジスタ出力SRiと、そのひとつ後の桁のシフトレジスタ出力SRi+1の反転信号とは、AND回路46～50に入力される。そして、AND回路46～50にて得られた論理積をサンプリングパルスSMP1～3としてサンプルホールド回路11の

各サンプリングスイッチ19～23に入力される。

【0086】一方、上記サンプリングスイッチ19～23には、データ信号線51から供給されたデータ信号が交互に接続されたデータ信号線54・55を介してそれぞれ入力される。

【0087】そして、サンプリングパルスSMP1～SMP3によりサンプリングされた各データ信号は、各ホールドコンデンサ24～28で保持されソースバスライン信号としてソースバスライン5…に出力される。

【0088】上記の構成において、上記サンプリングパルスSMP1～3は、図6に示すように、シフトレジスタ42～43の出力SRiをAND回路46～50にて互いに時間的に重ならない短いパルスとなっている。これにより、同時に2つ以上のサンプリングパルスがON状態とならない。

【0089】このように、常にサンプリングスイッチ19～23のうち、一つのみがON状態となっているので、データ信号線54・55からみた負荷は、サンプリングコンデンサ一つ分である。したがって、AND回路を用いずに4系統のシフトレジスタ構成したソースドライバ、例えば従来の技術に示したソースドライバに比べて、データ信号線の負荷を1/8に低減できるので、データ信号のなまりを低減することができる。また、データ信号線の負荷を1/8に低減できることから、シフトレジスタからの出力CRの時定数も1/8にすることができるので、データ信号のなまりを従来よりも小さくできる。

【0090】ところで、各サンプリングパルスSMP1～3は、実際にはデータ信号の遅延やなまり等により、SMPi (i=整数)の立ち下がりとはSMPi+1の立ち上がりとは同時ではなく、若干オーバーラップする期間が生じている。しかしながら、本実施例では、隣合うサンプリングスイッチが異なるデータ信号線54・55に接続されているので、隣合うサンプリングスイッチが同時にON状態となることから生じるデータ信号線の54・55のノイズの影響を受けなくすることができる。

【0091】したがって、本実施例のLCDは、データ信号線の負荷によるデータ信号のなまりを低減することができると共に、隣接するトランジスタが同時にON状態となることによるデータ信号のノイズによるゴースト現象の低減ができる。

【0092】よって、データ信号のなまり、データ信号のノイズが原因で起こるゴースト現象による表示品位の低下を抑えた高解像度の表示を可能としている。

【0093】尚、本実施例では、シフトレジスタが4系統である場合について説明したが、これに限定されるものではなく、少なくとも2系統以上であれば良い。

【0094】また、本実施例では、シフトレジスタの出力から論理積を得るために、AND回路を用いたが、これに限定されるものではなく、例えばNOR回路等を用

いても良く、さらに、 $SR_i$ と $SR_i+7$ のANDをとる場合、AND回路の入力段に接続されたインバータも特に必要としない。

【0095】さらに、本実施例では、ソースドライバ41における各サンプリングスイッチ19～23ができるだけ電氣的に疎になるように、データ信号線51を2つに分岐した後、バッファ回路52・53を介してデータ信号線54・55から、データ信号を各サンプリングスイッチ19～23に供給している。

【0096】しかしながら、上記したバッファ回路52・53を介することに限定されず、例えばバッファ回路52・53を設けずにデータ信号線51を2つに分岐した後、データ信号を直接各サンプリングスイッチ19～23に供給しても良い。この場合、バッファ回路52・53を介した場合よりも、各サンプリングスイッチ19～23は電氣的に疎になり難いので、その効果は半減する。

【0097】また、本実施例では、ソースドライバ41におけるサンプリング方式は、表示部1側でデータ信号としての画像データを保持するパネルサンプルホールド方式となっているがソースドライバ側で画像データを保持するドライバサンプルホールド方式のソースドライバにおいても同様に適用でき、同様の効果を得ることができる。この場合、ドライバサンプルホールド方式のソースドライバを使用することで、ソースドライバに繋がる絵素部では画像データの書込時間を十分にとることができる。

【0098】〔実施例4〕本発明のさらに他の実施例について図7に基づいて説明すれば、以下の通りである。尚、本実施例では、上記実施例3のソースドライバ41に適用した構成をLCDの表示部1での信号入力に適用した場合について説明する。

【0099】本実施例に係るLCDは、図7に示すように、上記実施例3のソースドライバ41に接続されたソースバスライン5…が、表示部1の手前で、2つに分岐し、2つのバッファ回路56・57を介してそれぞれソースバスライン58・59に接続された構成となっている。図7において、左右方向を行方向、上下方向を列方向とする。

【0100】上記ソースバスライン58・59には、列方向に配置された絵素トランジスタ7のソース端子が、列方向に隣接する絵素トランジスタ7同士が同一のソースバスラインに繋がらないように接続されている。

【0101】また、ゲートドライバ3には、AND回路60…を介してゲートバスライン6…に接続され、これらAND回路60…には、それぞれ一つ後の行のAND回路60に出力される信号を反転するインバータ60a…が接続されている。上記AND回路60では、ゲートドライバ3の出力と、一つ後の行のAND回路60へのゲートドライバ3からの出力の反転信号との論理積を得

て、得られた論理積をゲート信号としてゲートバスライン6に出力するようになっている。

【0102】尚、本実施例におけるLCDの動作は、表示部1に供給されるソースバスライン信号が2つに分岐されて供給され、さらに、ゲートドライバ3から供給されるゲート信号がAND回路を介して出力される他は、上記実施例3のソースドライバ41の動作と同様である。

【0103】上記の構成において、絵素トランジスタ7のON・OFFを制御するゲート信号がAND回路60を介してゲートバスライン6に出力されるので、各ゲート信号は時間的な重なりを持たないようになる。これにより、隣接する絵素部4…は、互いに隣接する絵素トランジスタ7がON・OFFすることによるノイズの影響を受けないので、ゴースト現象の無い高解像度の画像を得ることができる。

【0104】また、上記ソースドライバ41を、上記実施例1の図1に示すように構成しても良い。この場合、なまりや遅延の無いデータ信号を表示部1に供給でき、しかも、表示部1において、データ信号をなまりや遅延なく書き込めるので、さらに表示品位の向上したLCDを提供することができる。

【0105】〔実施例5〕本発明のさらに他の実施例について図8に基づいて説明すれば、以下の通りである。

【0106】本実施例に係るLCDは、前記実施例1の図1に示すソースドライバ2に代えて、図8に示すように、ソースドライバ61を備えている。

【0107】ソースドライバ61は、図8に示すように、ソースシフトレジスタ10と、サンプルホールド回路11と、データ信号線12とを備えた構成となっている。

【0108】データ信号線12には、バッファ回路62～66が接続されており、これら各バッファ回路62～66の出力側は、それぞれサンプルホールド回路11のサンプリングスイッチ19～23の各ソース端子に接続されている。即ち、データ信号線12から出力されるデータ信号は、バッファ回路62～66を介してサンプリングスイッチ19～23に供給され、サンプリングコンデンサ24～27にそれぞれホールドされるようになっている。

【0109】これにより、サンプリングスイッチ19～23は、データ信号線12とバッファ回路62～66を介して接続されているので、このバッファ回路62～66によって電氣的な繋がりが疎になっている。

【0110】ここで、上記構成のソースドライバ61の動作について以下に説明する。上記のソースシフトレジスタ10に入力されたSPは、ソースシフトレジスタ10に入力されるCK、 $\neg CK$ に応じて順次シフトして出力されていく。そして、出力された各桁のパルスは、サンプルホールド回路11におけるそれぞれのサンプリン

グスイッチ19～23のゲート端子にサンプリングパルスとして順次入力される。

【0111】一方、データ信号線12からのデータ信号は、バッファ回路62～66を介してサンプリングスイッチ19～23のソース端子に入力される。

【0112】したがって、上記ソースシフトレジスタ10から供給されるサンプリングパルスによってサンプリングスイッチ19～23がON状態となり、データ信号線12から出力されたデータ信号を各サンプリングコンデンサ24～27に保持するようになっている。

【0113】ところで、前記実施例1および3に記載のソースドライバ2およびソースドライバ41に配されたバッファ回路13～15、バッファ回路52・53では、その負荷はデータ信号線の配線負荷とサンプリングコンデンサの負荷とが合わさったものであるため、バッファ回路を上記負荷に対応し得る大きさの回路にする必要がある。

【0114】しかしながら、本実施例のバッファ回路62～66では、それぞれにサンプリングコンデンサ24～27が一つずつ接続されているので、バッファ回路62～66一つに対する負荷は一つのサンプリングコンデンサのみである。このため、前記実施例1および3に記載のバッファ回路13～15、バッファ回路52・53よりも小さな回路にすることができる。

【0115】また、前記実施例1および3では、一つのバッファ回路に不良が生じると、ソースバスラインの3本に1本、或いは2本に1本毎にデータ信号が供給されないようになる。このため、表示部1における全表示の1/3或いは1/2が表示欠陥となる不具合を生じる。

【0116】しかしながら、本実施例では、バッファ回路62～66に不良が生じた場合、不良発生時のバッファ回路に接続されたソースバスラインのみにデータ信号が供給されなくなるだけであるため、表示欠陥も不良発生したバッファ回路に接続されたソースバスラインのみに抑えることができる。

【0117】さらに、隣接する各サンプリングスイッチ19～23は、バッファ回路62～66によって電気的な繋がりが疎になっているので、例えば外部からの光の照射によってサンプリングトランジスタ19～23のOFF抵抗が低下する場合においても、同一データ信号線12に繋がる相互に隣接したサンプリングスイッチ19～23のOFF抵抗を介して、各サンプリングトランジスタ24～27に保持したデータ信号がクロストークするのを防止することができる。

【0118】一般に、ソースドライバ内には、データ信号線以外にも信号配線が複数本配置されているため、各信号配線がその配線容量を介したり、交差する配線の交差部分の容量やその他の寄生容量を介して、ノイズが乗ることによりサンプリングデータの精度が低下することになる。

【0119】ところが、本実施例のソースドライバ61では、データ信号線12一本のみであるため、データ信号線12に乘るノイズの影響を低減することができる。

【0120】このように、隣接するサンプリングトランジスタ同士において、互いにON・OFF時の影響を受けず、常に正確なデータ信号をソースバスライン信号としてソースバスライン5に供給することができる。

【0121】したがって、本実施例のLCDは、データ信号線12に対する負荷によるデータ信号波形のなまり、或いは隣接するトランジスタが同時にON状態となることによるデータ信号のノイズが原因のゴースト現象の低減、及び、サンプリングトランジスタのOFF特性の不足および低下によって生じるクロストークによる表示品位の低下を抑えた高解像度の表示を可能としている。

【0122】尚、本実施例では、ソースドライバ61におけるサンプリング方式は、表示部1側でデータ信号としての画像データを保持するパネルサンプルホールド方式となっているがソースドライバ側で画像データを保持するドライバサンプルホールド方式のソースドライバにおいても同様に適用でき、同様の効果を得ることができる。この場合、ドライバサンプルホールド方式のソースドライバを使用することで、ソースドライバに繋がる絵素部では画像データの書込時間を十分にとることができる。

【0123】〔実施例6〕本発明のさらに他の実施例について図9に基づいて説明すれば、以下の通りである。尚、本実施例では、上記実施例5のソースドライバ61に適用した構成をLCDの表示部1での信号入力に適用した場合について説明する。

【0124】本実施例に係るLCDは、図9に示すように、ソースドライバ61に接続されたソースバスライン5…にバッファ回路67…が接続され、このバッファ回路67…の出力側に、絵素トランジスタ7のソース端子が接続されている。図9において、左右方向を行方向、上下方向を列方向とする。

【0125】つまり、同一のソースバスライン5に列方向に複数の絵素トランジスタ7が接続されているが、バッファ回路67によってそれぞれの絵素トランジスタ7は互いに電氣的に疎となるようにソースバスライン5に繋がっている。

【0126】尚、本実施例におけるLCDの動作は、ソースバスライン信号がバッファ回路67…を介して表示部1の絵素トランジスタ7に供給される他は、上記実施例5のソースドライバ41の動作と同様である。

【0127】上記の構成において、ソースバスライン5からのソースバスライン信号が、同一ソースバスライン5上に接続された複数の絵素トランジスタ7…にそれぞれバッファ回路67…を介して供給されるため、各ソースバスライン信号はお互いに影響を及ぼさない。したが

って、隣接する絵素部4…は、互いに絵素トランジスタ7がON状態となったときに生じるノイズの影響を受けず、しかも絵素トランジスタのOFF抵抗によるクロストークを抑えた高解像度の画像を得ることができる。

【0128】また、上記ソースドライバ61を、上記実施例1の図1に示すように構成しても良い。この場合、なまりや遅延の無いデータ信号を表示部1に供給でき、しかも、表示部1においても、データ信号をなまりや遅延なく書き込めるので、さらに表示品位の向上したLCDを提供することができる。

【0129】〔実施例7〕本発明のさらに他の実施例について図10に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の各実施例と同一機能を有する部材には、同一番号を付記し、その説明を省略する。

【0130】本実施例に係るLCDは、図10に示すように、複数の絵素部4…を有する表示部1と、上記絵素部4を駆動する駆動回路としてのソースドライバ71およびゲートドライバ3とで構成されている。図10において、左右方向を行方向、上下方向を列方向とする。

【0131】上記ソースドライバ71は、ソースシフトレジスタ10と、このソースシフトレジスタ10からの出力の論理積を得るためのAND回路72・72と、異なる極性のデータ信号（映像信号）を供給するためのデータ信号線73・74と、ソースシフトレジスタ10からの出力に応じてデータ信号をサンプリングするサンプルホールド回路11とで構成されている。

【0132】上記AND回路72・72には、ソースシフトレジスタ10の次の桁の出力が反転して入力されるようにインバータ72a・72aが接続されている。即ち、AND回路72は、ソースシフトレジスタ10の出力と次の桁のAND回路72に入力される出力をインバータ72aにて反転された反転信号との論理積を得て、この論理積をサンプリングパルスとしてサンプルホールド回路11に出力するようになっている。

【0133】また、データ信号線73・74には、お互いに極性が異なり、フィールド毎に極性の反転するデータ信号が、図示しないデータ信号生成回路からバッファ回路75・76を介して供給されている。

【0134】上記データ信号線73は、サンプルホールド回路11のサンプリングスイッチ19・21のソース端子に接続され、データ信号線74は、サンプルホールド回路11のサンプリングスイッチ20・22のソース端子に接続されている。

【0135】したがって、上記サンプリングスイッチ19・20のソース端子には、同一のAND回路72からサンプリングパルスが供給され、また、上記サンプリングスイッチ21・22のソース端子には、同一のAND回路72からサンプリングパルスが供給されるようになっている。尚、AND回路72は、ソースシフトレジスタ

10からの出力を時間的に重ならないようなパルス幅にしてサンプルホールド回路11に供給するようになっている。

【0136】ここで、上記構成のソースドライバ71の動作について以下に説明する。上記のソースシフトレジスタ10に入力されたSPは、ソースシフトレジスタ10に入力される駆動クロックCK、／CKに応じて順次シフトして出力されていく。そして、出力された各桁のパルスは、AND回路72に入力される。次いで、AND回路72にて、ソースシフトレジスタ10の出力SR<sub>i</sub>と次の桁の出力SR<sub>i+1</sub>の反転信号とで論理積が求められ、この論理積の値をサンプリングパルスとしてサンプルホールド回路11に出力される。

【0137】上記AND回路72からの出力は、サンプルホールド回路11におけるそれぞれのサンプリングスイッチ19～23のゲート端子にサンプリングパルスとして順次入力される。

【0138】一方、データ信号線12からのデータ信号は、バッファ回路62～66を介してサンプリングスイッチ19～23のソース端子に入力される。

【0139】したがって、上記ソースシフトレジスタ10から出力されたサンプリングパルスがサンプリングスイッチ19～23のゲート端子に入力されると、データ信号線12から出力されたデータ信号が各サンプリングコンデンサ24～27に保持される。

【0140】保持されたデータ信号は、絵素部4…の左右両側に配したソースバスライン5からバッファ回路77を介してゲートバスライン6…の1本おきに、交互に接続されている絵素トランジスタ7…に入力される。

【0141】上記構成のソースドライバ61によれば、ソースシフトレジスタ10からの出力は、AND回路72…を介してサンプルホールド回路11に入力されるようになるので、サンプリングパルスの幅が小さくなり、互いに時間的な重なりを持たない関係となっている。このため、各データ信号線73・74からみた負荷は、従来に比べて小さくなっているため、データ信号のなまりを従来よりも小さくすることができる。

【0142】また、ゲートドライバ3は、ゲートシフトレジスタ3aと、このゲートシフトレジスタ3aの出力から論理積を得るためのAND回路81…とで構成されている。

【0143】上記AND回路81…は、ゲートシフトレジスタ3aの次の行の出力が反転して入力されるようにインバータ81a…が接続されている。即ち、AND回路81は、ゲートシフトレジスタ3aの出力と次の行のAND回路81に入力される出力をインバータ81aにて反転して得られる反転信号との論理積を得て、この論理積をゲート信号（走査信号）としてゲートバスライン6…に供給するようになっている。尚、AND回路81は、ゲートシフトレジスタ3aからの出力を時間的に重

ならないようなパルス幅にして絵素トランジスタ7…に供給するようになっている。

【0144】したがって、ゲートドライバ3から表示部1の各絵素トランジスタ7…に入力されるゲート信号は、ゲートシフトレジスタ3aの出力から得た論理積であるので、各ゲート信号はお互いに時間的な重なりを持たない関係となる。このため、列方向に隣接する絵素トランジスタ7…が同時にON状態となることによるノイズの影響を防止できる。

【0145】また、列方向に隣接する絵素トランジスタ7…は、異なるソースバスライン5…に接続されていることで、ゲートバスライン信号Giと次の行のゲートバスライン信号Gi+1とが信号の遅延やなまりによって同時にON状態となる期間があったとしても、列方向に隣接する絵素トランジスタ7…が同時にON状態となることで生じるノイズにより絵素容量8…および付加容量9…にサンプリングされるソースバスライン信号の精度が低下するのを防止している。

【0146】一般に、ソースバスライン5に印加される信号は、液晶にDC電圧が印加されることによる信頼性の低下を防止するため、印加する電圧極性を1走査期間毎に反転させている。この場合、列方向に隣接する絵素トランジスタ7…が同時にON状態となる期間が存在すれば、絵素容量8…にサンプリングされるソースバスラインデータの精度の低下をさらに大きくするという不具合が生じることになる。

【0147】しかしながら、本実施例では、列方向に隣接する絵素トランジスタ7…は、それぞれ絵素部4…の両側に設けられた異なるソースバスライン5…を介して、ソースバスライン信号が供給されるようになっているので、列方向に隣接する絵素トランジスタ7…が同時にON状態となる期間を無くことができ、この結果、絵素容量8…にサンプリングされるソースバスラインデータの精度の低下を防止できる。

【0148】また、一般に、1走査期間毎にソースバスライン5に印加する電圧の極性を反転する場合、ある走査期間に充電したソースバスライン5を、次の走査期間には逆の極性に充電しなくてはならないため、ソースバスライン5…を駆動するために大きな駆動力が必要となる。この結果、ソースバスライン5…の駆動に必要とされる電力によって、ソースドライバ全体の消費電力が増大するという問題が生じている。

【0149】ところが、本実施例では、予め極性の異なるデータ信号が、ソースバスライン5…に対して交互に供給されているので、同一極性のデータ信号が、絵素部4の両側に配されたソースバスライン5…に供給すればよいので、1走査期間毎にソースバスライン5に供給した極性と逆極性の信号を供給する必要がなくなる。これによって、ソースバスライン5…の駆動に必要とされる電力を低減することができるので、ソースドライバ61

全体の消費電力を低減させることができる。

【0150】尚、本実施例では、各絵素部4…の両側に2本のソースバスライン5…を配しているが、これに限定されるものではなく、例えば絵素部4の片側に2本のソースバスライン5・5を配しても良い。しかしながら、この場合、ゲートバスライン6…の1本おきにソースバスライン5を交差してソースバスライン5と絵素トランジスタ7とが接続される形となり、交差部分の寄生容量等からのノイズの影響を受けることになり、その効果は、ソースバスライン5・5を絵素部4の両側に配した場合ほどの効果を奏することができない。

【0151】〔実施例8〕本発明のさらに他の実施例について図11に基づいて説明すれば、以下の通りである。尚、本実施例のLCDは、前記の各実施例と表示部、ゲートドライバを同一の構成とし、ソースドライバについて説明する。

【0152】本実施例に係るLCDのソースドライバは、図11に示すように、複数の映像信号等のデータ信号を供給するためのデータ信号線82…と、それぞれのデータ信号線82…にはサンプルホールド回路85のTFT等のトランジスタからなるサンプリングスイッチ86…のソース端子が接続されている。

【0153】上記サンプリングスイッチ86…のゲート端子には、上記データ信号のサンプリングのタイミングを制御するサンプリングタイミング制御回路84が接続されている。

【0154】データ信号線82は、バッファ回路83を介して図示しないデータ信号生成回路に接続されている。このデータ信号線82は、1本ずつサンプリングスイッチ86に接続されているようになっている。これにより、データ信号線82…における負荷は、一つのサンプリングスイッチ86のみとなるので、一本のデータ信号線82に複数のサンプリングスイッチ86…が接続される場合よりも分断される前のデータ信号線のインピーダンスを下げることができる。

【0155】つまり、上記データ信号生成回路から出力されるデータ信号を表示の水平方向で複数に分断することで、分断される前のデータ信号線のインピーダンス、特に容量成分を $1/N$ （N：分断数）程度に下げることができる。これにより、データ信号線の時定数を大幅に改善することができるので、クロストークの発生を抑制することができる。

【0156】尚、表示部1へのデータ信号の入力をサンプルホールド回路85近傍より、表示部1に入力することができるので、これによっても、時定数を大幅に改善することができる。

【0157】本実施例は、前記した各実施例においても適用することができ、それによって、さらにクロストークの発生が少ない解像度の高い表示装置にすることができる。

【0158】以上、上記した実施例1～8では、それぞれ基本的な構成を示しており、回路構成の変更、例えばサンプリングパルス生成回路が前述のシフトレジスタによらず、所謂デコード方式の回路で構成された場合に変更しても良い。

【0159】また、例えば、サンプリングトランジスタに繋がるサンプリングコンデンサの容量が小さい場合には、同一のデータ信号をバッファ回路を介してシフトレジスタの系列毎に供給することも可能である。

【0160】さらに、上記した実施例1～8において、サンプリング回路を含む駆動回路としてのソースドライバおよびゲートドライバと、画像表示部としての絵素部等からなる表示部とを同一基板上にモノリシックに形成しても良い。この場合、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減等を図ることができる。

【0161】

【発明の効果】請求項1の発明の表示装置は、以上のように、データ信号がそれぞれ供給される複数のデータ信号線と、上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、上記複数のデータ信号線の少なくとも2本は、同一データ信号が供給されると共に、それぞれが異なるバッファ回路を介して異なるサンプリング回路に接続されている構成である。

【0162】これにより、隣接するサンプリング回路では、互いにON・OFF時の影響を受けず、常に正確なデータ信号をサンプリングすることでゴースト現象を低減できる。また、絵素部およびサンプリング回路部のトランジスタのOFF抵抗によるクロストークを低減させることができる。

【0163】したがって、ゴースト及びクロストークによる表示品位の低下を抑えた高解像度の表示を可能とすることができるという効果を奏する。

【0164】請求項2の発明の表示装置は、以上のように、請求項1記載の表示装置において、複数のサンプリング回路のうち、サンプリングのタイミングが同期するサンプリング回路は、それぞれ異なるデータ信号線に接続されると共に、それぞれのサンプリング回路のON期間が時間的に重なりを持たない構成である。

【0165】これにより、請求項1の効果に加えて、サンプリング回路がOFF状態となる瞬間に他のサンプリング回路がON状態となることにより生じるノイズの低減を図ることができるという効果を奏する。

【0166】請求項3の発明の表示装置は、以上のように、請求項1または2記載の表示装置において、バッ

ファ回路は、サンプリング回路と同一の基板上に形成されている構成である。

【0167】これにより、バッファ回路とサンプリング回路とを接続するフレキシブル基板等による接触抵抗にかかわるデータ信号の劣化を抑制することができる。また、バッファ回路とサンプリング回路とを接続するための接続端子の増加を抑制でき、実装に伴う信頼性を向上させることができるという効果を奏する。

【0168】請求項4の発明の表示装置は、以上のように、データ信号がそれぞれ供給される複数のデータ信号線と、上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、上記データ信号線は、表示の水平方向で複数の分断されると共に、分断された各々の信号線は、それぞれ異なるバッファ回路を介してサンプリング回路に接続されている構成である。

【0169】これにより、データ信号線の抵抗および容量を低減することができるので、よりデータ信号線におけるデータ信号の劣化を低減させることができると共に、サンプリング時のノイズの低減を図ることができるという効果を奏する。

【0170】請求項5の発明の表示装置は、以上のように、データ信号がそれぞれ供給される複数のデータ信号線と、上記複数のデータ信号線から供給されるデータ信号をそれぞれサンプリングする複数のサンプリング回路と、上記複数のサンプリング回路にそれぞれ接続される複数のデータバスラインと、上記複数のデータバスラインに接続されると共に、マトリクス状に配された複数の絵素部と、上記サンプリング回路を含み、上記データバスラインを駆動する駆動回路とを備え、上記複数の絵素部のうち、列方向に隣接する複数の絵素部には、それぞれ異なるデータバスラインが接続されると共に、これらデータバスラインには、バッファ回路を介して同一のサンプリング回路が接続されている構成である。

【0171】これにより、列方向に隣接する絵素部の干渉を抑えることができるので、絵素部同士のクロストークを低減することができ、この結果、表示品位を向上させることができるという効果を奏する。

【0172】請求項6の発明の表示装置は、以上のように、請求項1、2、3、4または5記載の表示装置において、駆動回路と、複数の絵素部からなる画像表示部とが同一基板上にモノリシックに形成されている構成である。

【0173】これにより、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減等を図ることができるという効果を奏する。

## 【図面の簡単な説明】

【図1】本発明の一実施例のLCDのソースドライバの概略構成ブロック図である。

【図2】図1に示すソースドライバを備えたLCDの概略構成ブロック図である。

【図3】図1に示すソースドライバの動作タイミングチャートである。

【図4】本発明の他の実施例のLCDの概略構成ブロック図である。

【図5】本発明のさらに他の実施例のLCDのソースドライバの概略構成ブロック図である。

【図6】図5に示すソースドライバの動作タイミングチャート図である。

【図7】本発明のさらに他の実施例のLCDの概略構成ブロック図である。

【図8】本発明のさらに他の実施例のLCDのソースドライバの概略構成ブロック図である。

【図9】本発明のさらに他の実施例のLCDの概略構成ブロック図である。

【図10】本発明のさらに他の実施例のLCDの概略構成ブロック図である。

【図11】本発明のさらに他の実施例のLCDのソースドライバの概略構成ブロック図である。

【図12】従来のLCDの概略構成ブロック図である。

【図13】図12に示すLCDに備えられたソースドライバの概略構成ブロック図である。

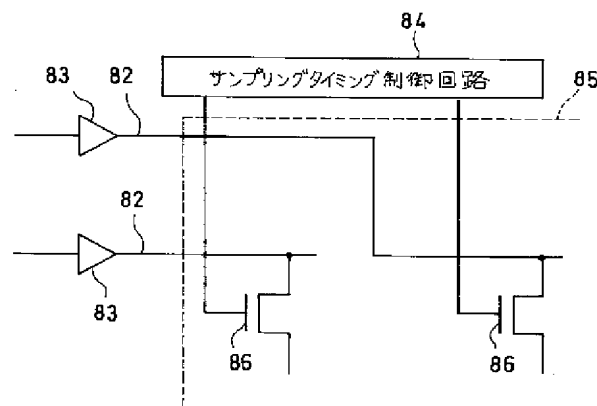
【図14】従来の他のソースドライバの概略構成ブロック図である。

【図15】図14に示すソースドライバの動作タイミングチャートである。

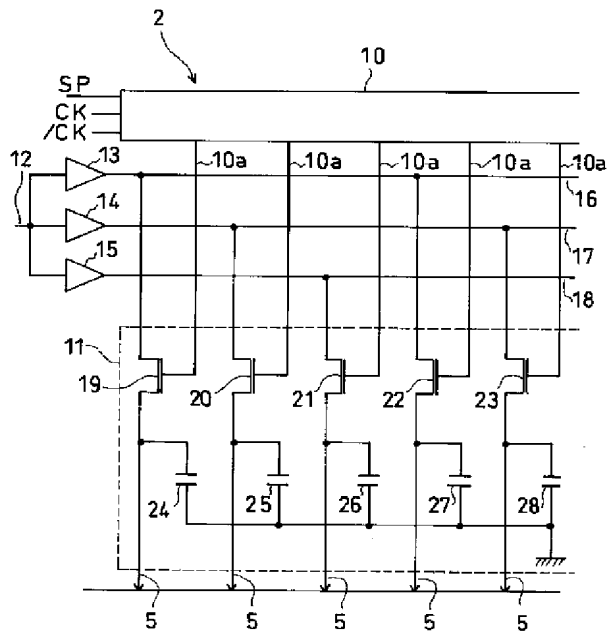
## 【符号の説明】

1	表示部（画像表示部）
2	ソースドライバ（駆動回路）
3	ゲートドライバ（駆動回路）
4	絵素部
5	ソースバスライン（駆動回路）
6	ゲートバスライン（駆動回路）
10	ソースシフトレジスタ
11	サンプルホールド回路
12	データ信号線
13～15	バッファ回路
16～18	データ信号線
19～23	サンプリングスイッチ（サンプリング回路）
24～28	サンプリングコンデンサ（サンプリング回路）
41	ソースドライバ（駆動回路）
51	データ信号線
52・53	バッファ回路
54・55	データ信号線
61	ソースドライバ（駆動回路）
62～66	バッファ回路
54・55	データ信号線
73・74	データ信号線
75～80	バッファ回路

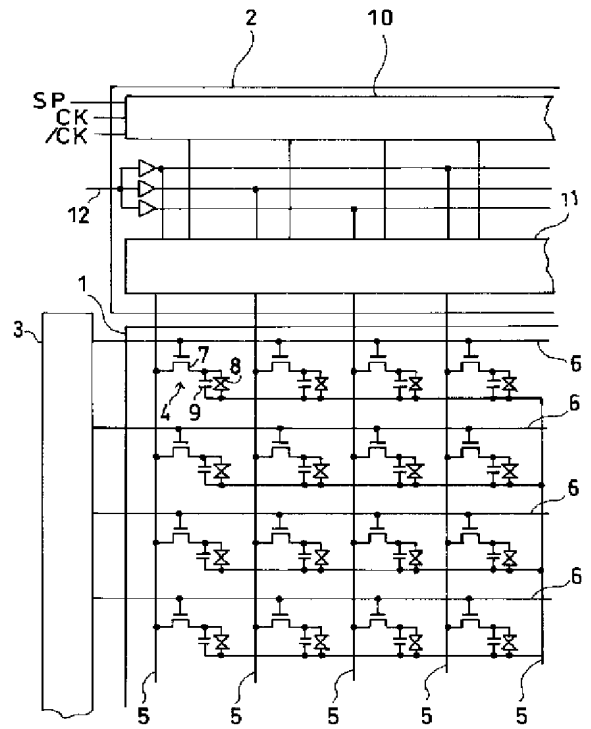
【図11】



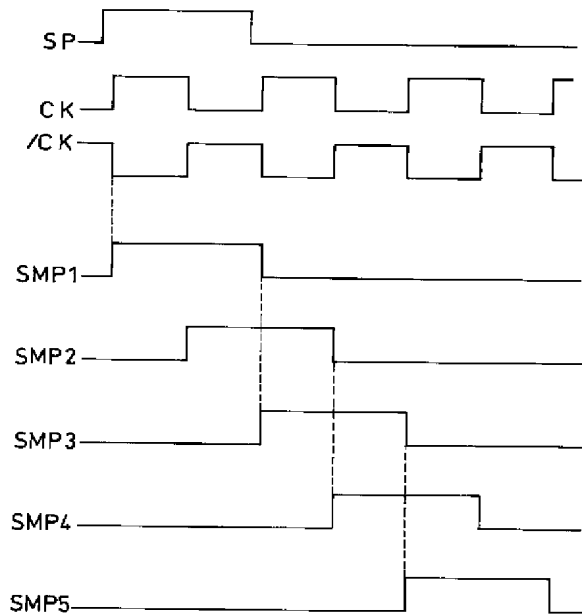
【図1】



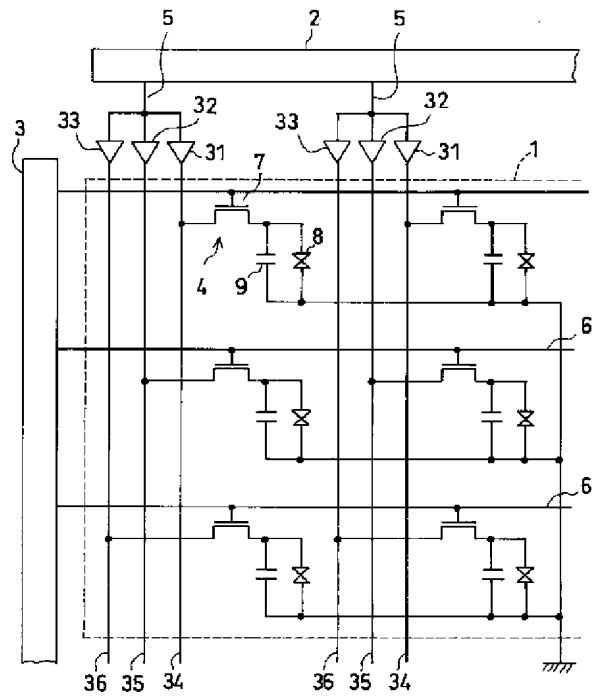
【図2】



【図3】

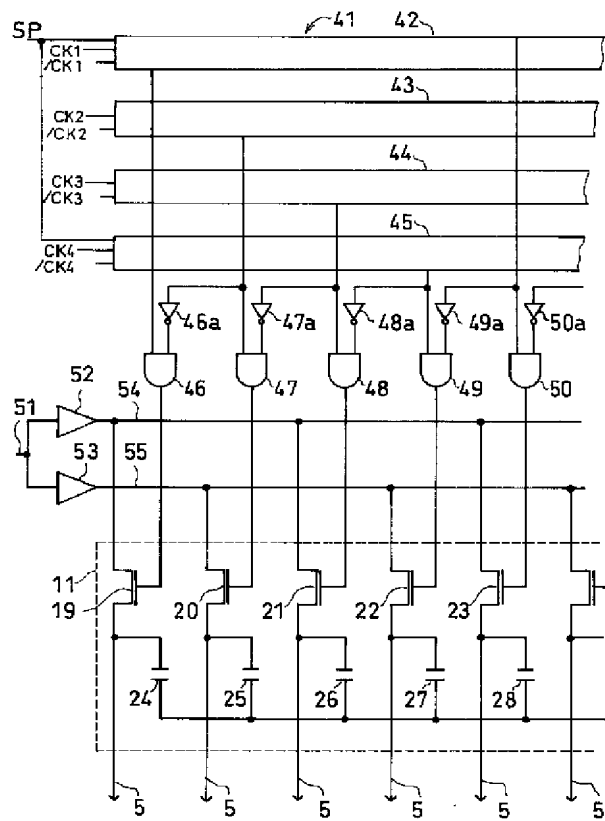


【図4】

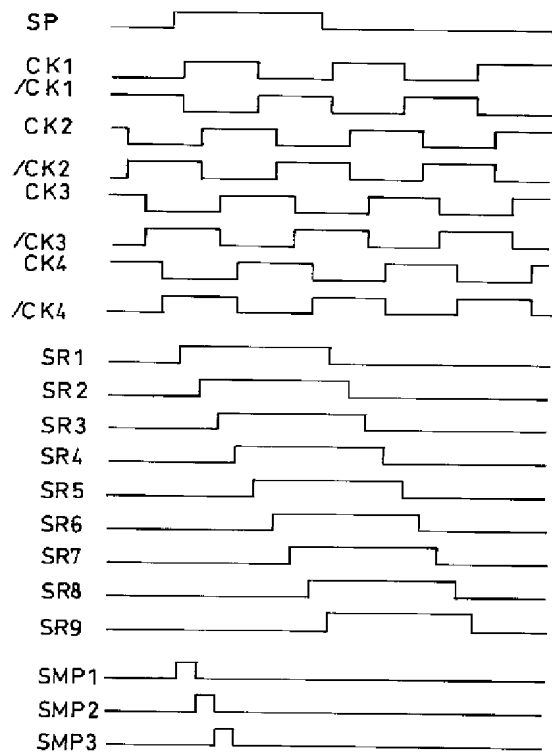




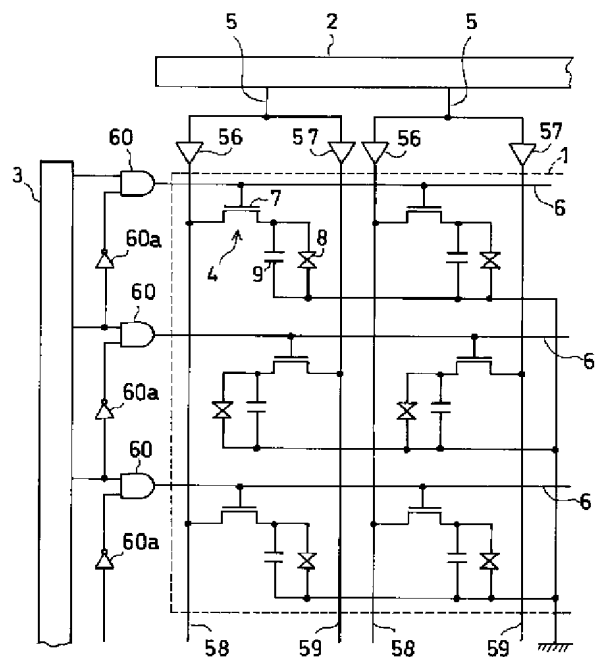
【図5】



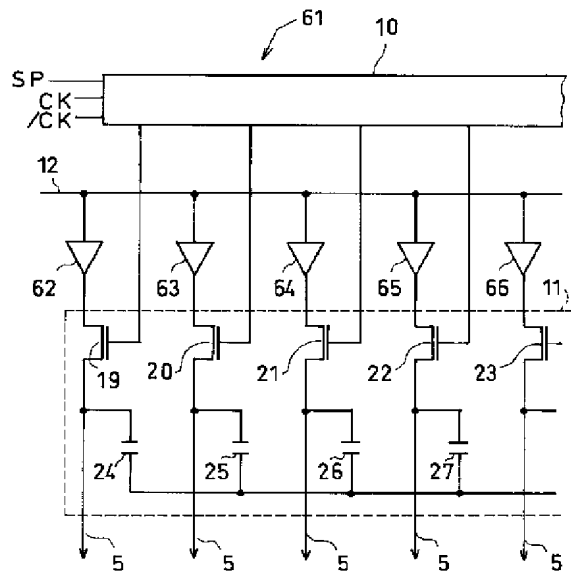
【図6】



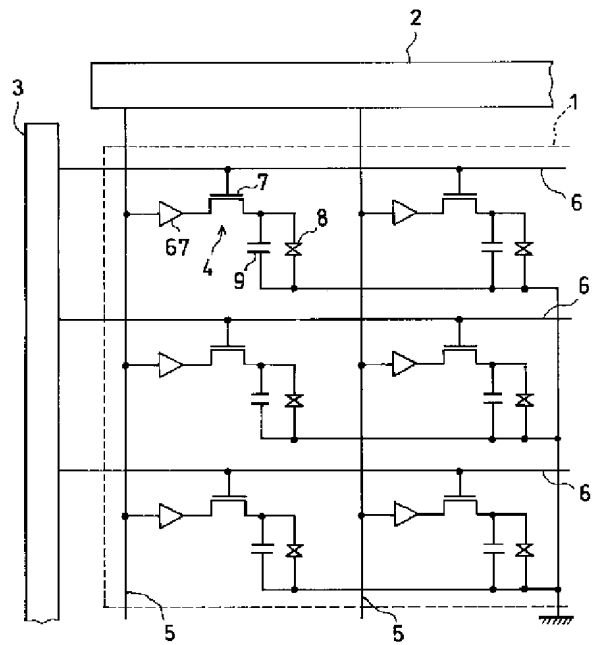
【図7】



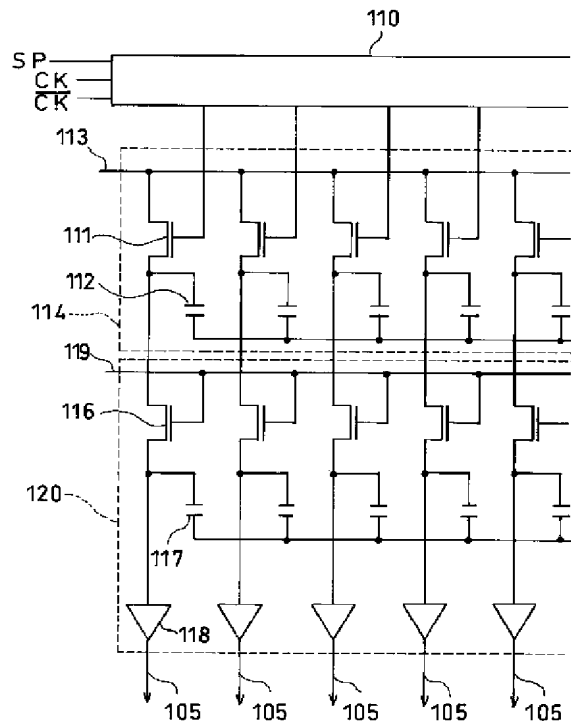
【図8】



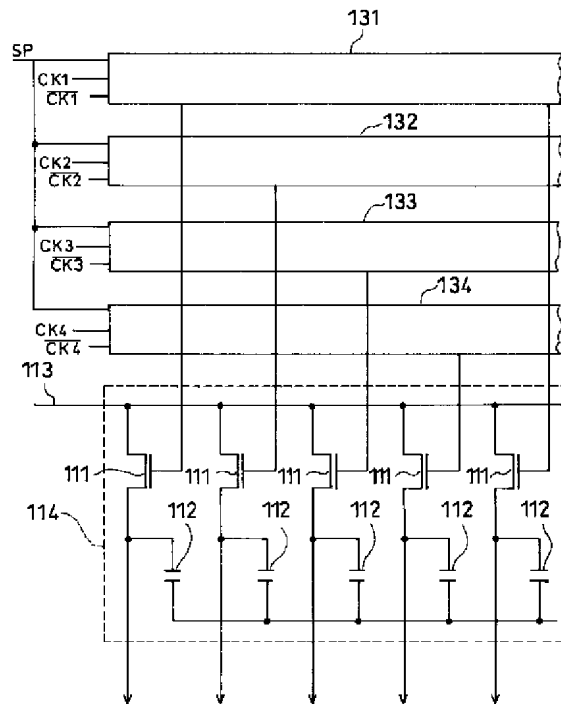
【図9】



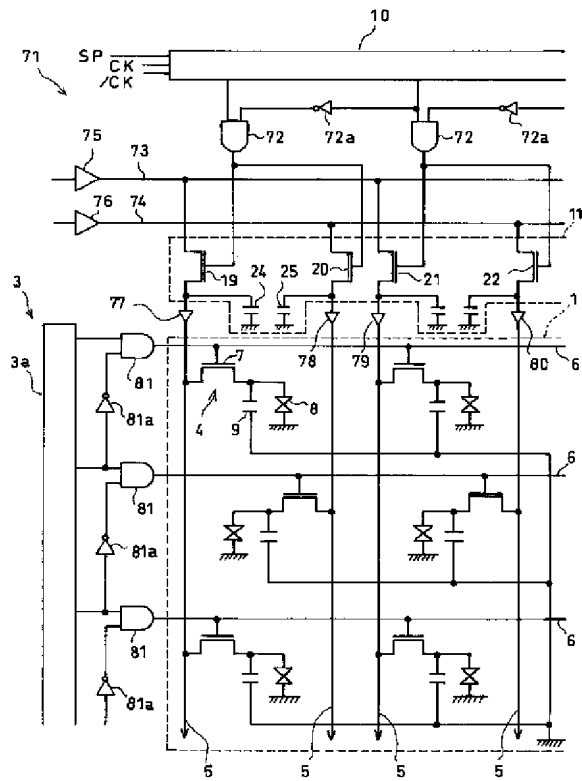
【図13】



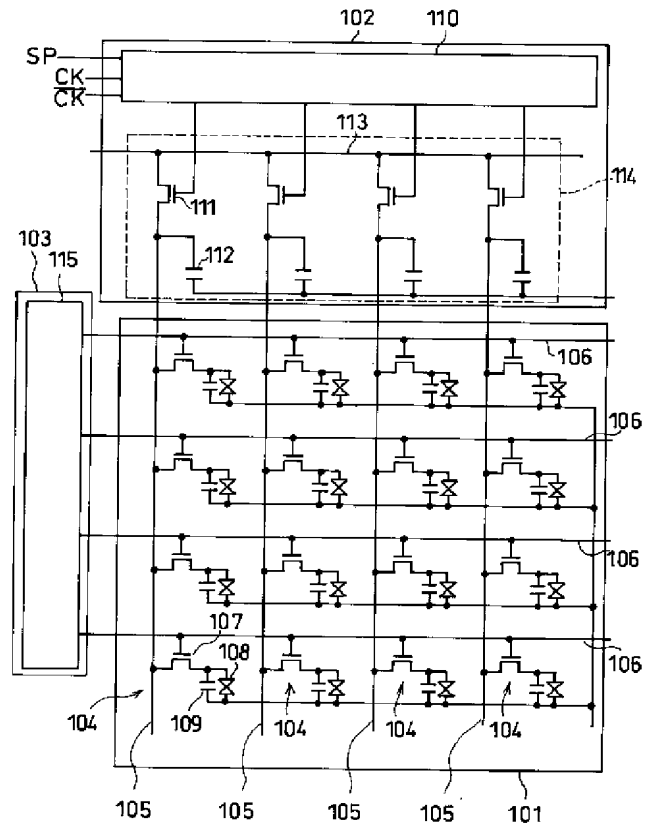
【図14】



【図10】



【図12】



【図15】

